

富山高等専門学校 専攻科
令和 元年度

特別研究報告



研究題目 小信号測定のための低雑音増幅回路の開発

指導教員 由井 四海

提出者 制御情報システム工学 専攻

今井 利幸

令和 2年 2月 28日 提出

第1章 序論	1
1. はじめに.....	1
2. 雑音.....	2
2.1. 雑音の単位.....	2
2.2. 熱雑音.....	2
2.3. 1/f ノイズ.....	3
2.4. ショットノイズ.....	3
2.5. 雑音の足し合わせ.....	3
第2章 信号の増幅	4
1. 概要.....	4
2. トランジスタ.....	4
2.1. 概要.....	4
2.2. 電流制御系のトランジスタ.....	5
2.3. 電界効果トランジスタ.....	6
2.3.1. 電界効果トランジスタの基本構造と分類.....	6
2.3.2. 接合型 FET の動作原理.....	8
3. オペアンプ.....	9
3.1. 概要.....	9
3.2. 代表的な回路.....	11
3.2.1. 反転増幅回路.....	11
3.2.2. 非反転増幅回路.....	12
3.2.3. 反転加算回路.....	13
第3章 理論	14
1. 雑音の低減手法.....	14
1.1. 低雑音回路内の素子の特徴と構成.....	14
1.2. オペアンプの並列化.....	16
2. 測定限界.....	17
第4章 実験	18
1. 実験装置.....	18
1.1. 実験機器.....	18
1.2. 回路構成.....	19
2. 雑音の測定.....	21
2.1. 回路内部から発生する雑音の測定.....	21
2.2. 抵抗の熱雑音の測定.....	22
3. 並列段数による SN 比の変化.....	23
第5章 まとめ及び考察	24

第 6 章 謝辞.....	24
参考文献.....	25

第1章 序論

1. はじめに

小信号の測定では、測定対象の信号が測定機器のノイズレベルに比べ小さい場合、測定を行うことができない。そのため、測定の前段階で測定機器のノイズに影響されない大きさまで信号を増幅する必要がある。ただし、小信号の増幅に用いる回路自体も低雑音である必要がある。

様々な小信号があるが、ここでは小信号の例として熱雑音を取り上げる。熱雑音の大きさは導体の温度、抵抗値、帯域幅によって変化する。そのため、「測定機器の感度が低い」、「測定対象の抵抗を接続した際に形成される RC フィルタによって、周波数の帯域が制限されてしまう」といった要因から従来の測定機器では測定が困難となっている[1]。

本研究では、小信号測定のための低雑音増幅回路の開発を行い、抵抗から発生する熱雑音の測定によって回路を評価する。また、一般的にインピーダンスマッチングなどに用いられている 50Ω の抵抗から発生する熱雑音(約 $1\text{nV}/\sqrt{\text{Hz}}$)を測定可能な増幅回路の開発を目的とする。

2. 雑音

2.1. 雑音の単位

雑音の大きさの単位には、 $\text{nV}/\sqrt{\text{Hz}}$ などの単位が用いられる。この単位はノイズスペクトル密度の単位として用いられている。雑音の大きさは回路や測定機器の帯域幅の広さによって変化する。そのため、回路雑音などの評価を行う際に、帯域幅が違う回路の性能の比較が困難になってしまう。そこで、雑音の大きさを回路や測定機の帯域幅で除算することにより単位帯域幅当たりの雑音の大きさを求める。求めたノイズスペクトル密度の大きさを各回路の雑音評価の指標とすることで同様の条件で性能を比較できる。そのため、雑音の単位には雑音の大きさを帯域幅の平方根で除算したノイズスペクトル密度が用いられている。

2.2. 熱雑音

熱雑音は抵抗体内の自由電子の不規則な熱振動によって生じる雑音である[2]。また、電圧印加なしでも発生する雑音である。1927年にこの現象を発見した研究者ジョン・バートランド・ジョンソン及びハリー・ナイキストの名前からジョンソン・ノイズまたはジョンソン・ナイキストノイズとも呼ばれている。熱雑音の大きさは

$$V_N = \sqrt{4kTRBW} \quad (1-1)$$

で表される。ここで、 k はボルツマン定数、 T は導体の温度[K]、 R は抵抗値[Ω]、 BW は帯域幅[Hz]を表している。熱雑音のパワースペクトル密度は全ての周波数でほぼ同じであり、振幅の大きさに関して統計を取ると、その分布はガウス分布で表される。

2.3. 1/f ノイズ

1/f ノイズとは、その大きさが周波数に反比例する低周波の雑音のことである。ほぼ全ての電子デバイスにおいて発生し、空乏層内の不純物などによって半導体内で自由電子や正孔といったキャリアが一時的に動けなくなるキャリアトラップが主因と考えられている。キャリアトラップは半導体に電流を流すことではじめて発生する現象であることから、1/f ノイズは電圧印加なしでは発生しない雑音といえる。

2.4. ショットノイズ

ショットノイズとは電気回路において電子などのエネルギーを持った粒子の数が極端に少ない場合に発生する、導体内の電流の統計的に無作為な揺らぎのことである。ショットノイズの大きさは電流の平均値に比例する。平均値が増えるときには信号レベルが雑音レベルよりも早く増加する傾向にあるため、ショットノイズは電流が小さい場合にしか問題にならない雑音となっている。また、ショットノイズの大きさは電流の平均値に比例することから、ショットノイズは 1/f ノイズと同様に電圧印加なしでは発生しない雑音である。

2.5. 雑音の足し合わせ

関連のない 2 種類以上の雑音の足し合わせは

$$V_{N1+N2} = \sqrt{V_{N1}^2 + V_{N2}^2} \quad (1-2)$$

で計算される。ここで V_{N1} , V_{N2} はそれぞれ雑音の大きさを表している。

第2章 信号の増幅

1. 概要

増幅とは小さなエネルギーの信号を大きなエネルギーの信号に変換することであり、信号の波形を変えずに信号の持つエネルギーを増大させることである[3]。信号の増幅を行うには増幅器が必要となるが、エネルギーの収支から増幅器には外部からエネルギーを供給する必要がある。そのため、増幅器とは直流の電源から受け取ったエネルギーを入力信号に注ぎ込み、交流信号のエネルギーを増加させる装置であるといえる。

本章では信号の増幅に用いられるトランジスタやオペアンプなどの素子について述べる。

2. トランジスタ

2.1. 概要

トランジスタには電流制御系と電圧制御系の2種類がある。電圧制御系のトランジスタは特に電界効果トランジスタ(FET)と呼ばれている。トランジスタは主に信号の増幅や大きな電流や電圧で駆動するモータなどのON,OFFを切り替える、スイッチングに利用されている。

トランジスタは多数キャリアが自由電子であるn型半導体と多数キャリアが正孔であるp型半導体をpn接合によって組み合わせた構造をしている。pn接合の概要を図1に示す。pn接合とは一つの半導体結晶の中でn型半導体とp型半導体の領域が接している状態のことをいう[4]。pn接合面付近では図1の(a)のように半導体の性質の一つである拡散によってn型半導体内の自由電子がp型半導体へ移動する。その結果、図1の(b)のように自由電

子が p 型半導体内の正孔と結合し消滅し、キャリアが存在しない空乏層ができる。

トランジスタを使用する際には、この空乏層の大きさを外部からの電流や電圧の印加によって制御することで様々な性質を得ている。

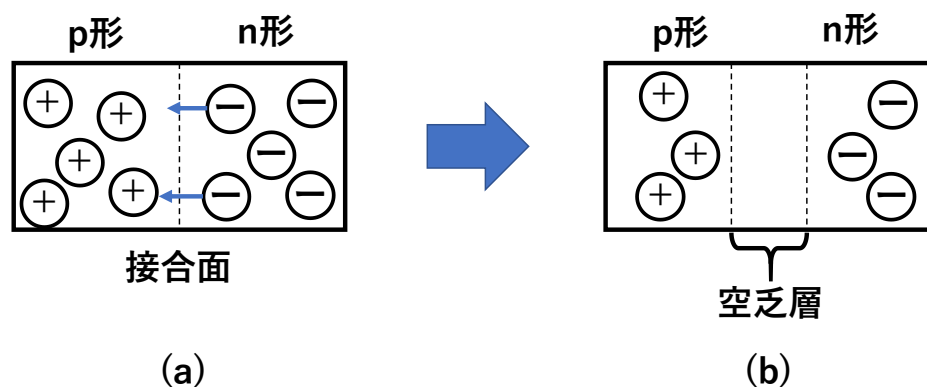


図 1 pn 接合の概要

2.2. 電流制御系のトランジスタ

電流制御系のトランジスタ(以降トランジスタ)の基本構造を図 2 に、トランジスタの種類について図 3 に示す。トランジスタにはベース(B)、コレクタ(C)、エミッタ(E)といわれる 3 つの端子があり、ベース部分がエミッタとコレクタによって挟まれた構造となっている。また、図のように pnp 形と npn 形の 2 種類が存在し、違いはベース電流とコレクタ電流の向きであり、基本的な動作原理はほとんど同じである。

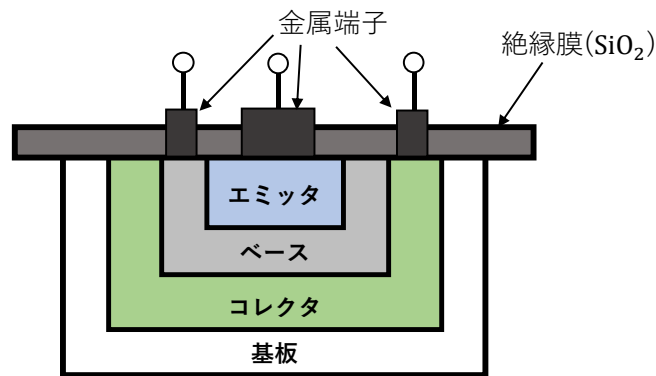


図2 トランジスタの基本構造

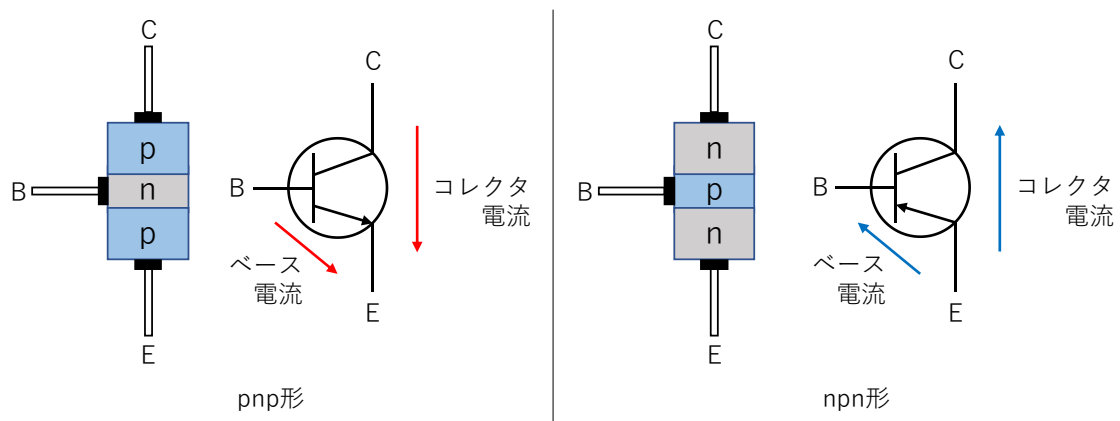


図3 トランジスタの種類

2.3. 電界効果トランジスタ

2.3.1. 電界効果トランジスタの基本構造と分類

電界効果トランジスタ(以降 FET)の内、接合形の基本構造を図4に、絶縁ゲート形の基本構造を図5に示す。FETにもトランジスタ同様、基本的に端子が3つあり、それぞれゲート(G)、ドレイン(D)、ソース(S)と呼ばれている。4端子の場合にはバックゲート(B)と呼ばれる端子がある。トランジスタの pnp 形、npn 形のように FET にも n チャネル形と p チャネル形の 2 種類が存在する。チャネルとはキャリアが移動することによって流れる電流

の通路のような領域のことである。また、FET には内部構造によって接合形と絶縁ゲート (MOS) 形の 2 つに分けられる。さらに、絶縁ゲート形にはディプレッション形とエンハンスメント形がある。ディプレッション形ではゲート電圧が 0V であっても、ドレインソース間(D-S 間)が導通し電流が流れる。これは接合型 FET (JFET) と同様の性質である。それに対し、エンハンスメント形ではゲート電圧が 0V の時には D-S 間が導通せず、ノーマリーオフともいわれている。

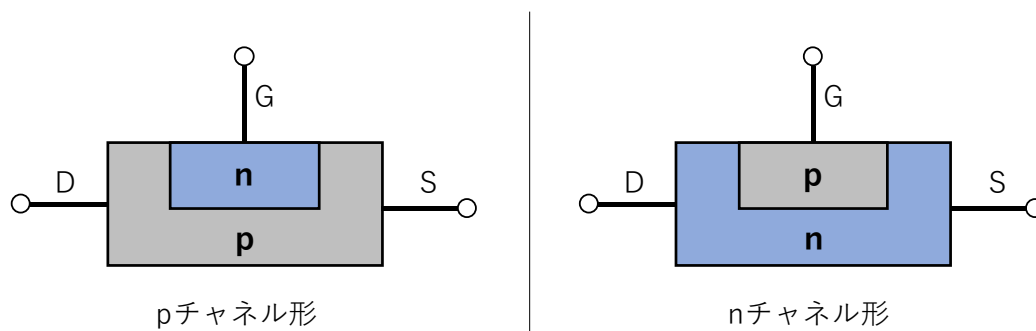


図 4 接合型 FET の基本構造

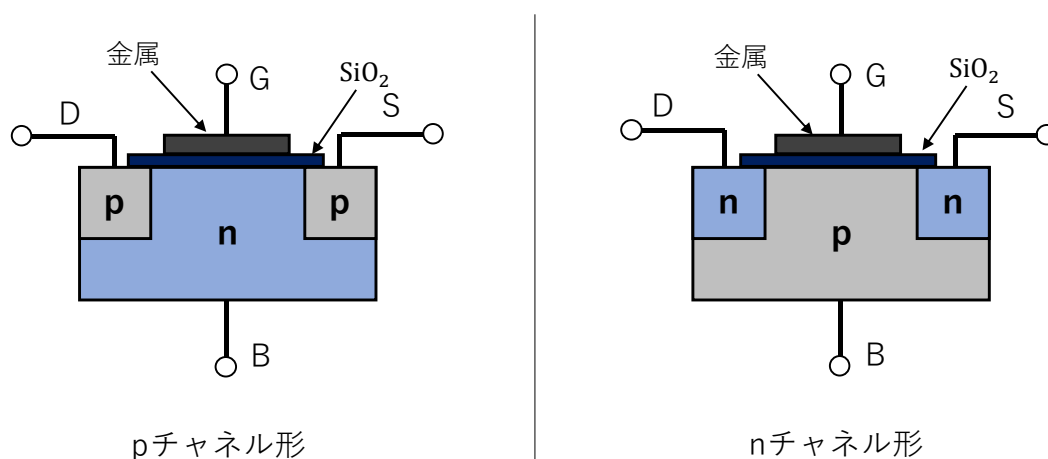


図 5 絶縁ゲート形 FET の基本構造

2.3.2. 接合型 FET の動作原理

ここでは n チャネル接合型 FET (JFET) の各端子に図 6 のように電圧を加えて動作させることを考える。JFET の動作原理を図 7 に示す。JFET の動作は (1) $V_{GS} = 0$ で V_{DS} が小さい場合、(2) $V_{GS} = 0$ で V_{DS} を大きくした場合、(3) $V_{GS} < 0$ の場合の 3 つに分けて考えられる。(1) のように V_{DS} が小さい場合には空乏層も小さくなり D-S 間のチャンネル全体に V_{DS} が加わり、 I_D は V_{DS} に比例して大きくなる。pn 接合となっている D-G 間において V_{DS} は逆電圧となるため、(2) のように V_{DS} を大きくすると空乏層が広がり、 I_D が流れるチャンネルの幅は狭くなる。結果、 V_{DS} を大きくしても、 I_D は一定の大きさで飽和する。(3) のように V_{GS} を加えると G-S 間に逆電圧が加わるため、空乏層が全体に広がりチャンネルの幅が狭くなる。このため、電流が流れにくくなり I_D は小さくなる。このように端子間に加える電圧を変化させることで空乏層の大きさを変え I_D の大きさを制御することができる。

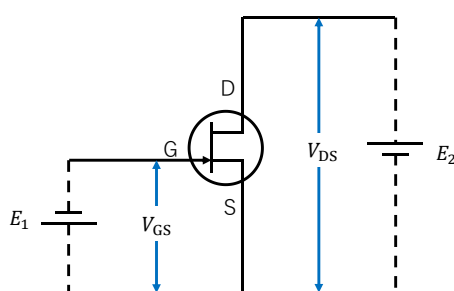


図 6 FET への電圧の加え方

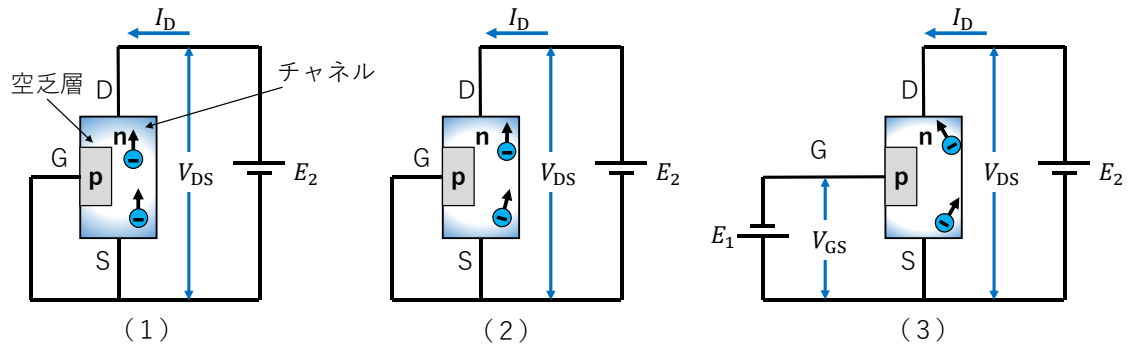


図 7 JFET の動作原理

3. オペアンプ

3.1. 概要

オペアンプとは、微弱な電気信号を増幅することができる集積回路 (IC) である。一般的なオペアンプの回路記号を図 8 に示す。オペアンプは非反転入力端子 (V_{in+}) と反転入力端子 (V_{in-}) と呼ばれる 2 つの入力と、1 つの出力端子を備えている。また、オペアンプには電圧ノイズと電流ノイズが存在し、用途に合わせて電圧ノイズが低いものと、電流ノイズが低いものが使い分けられている。

オペアンプを用いた回路の動作を考えるには、一般的に理想的なオペアンプを用いる場合を考える。理想的なオペアンプを考える上での主要な特徴としては、高入力インピーダンスを持つこと、2 つの入力端子の電圧差が 0 となること (イマジナリーショート) の 2 つが挙げられ、増幅度の計算の際などに用いられている。イマジナリーショートはオペアンプによって負帰還回路を構成した場合に見られる特徴である。図 9 にオペアンプによる負帰還回路を示す。オペアンプの出力電圧は、入力信号 V_{in} から帰還信号 V_{out} を減じた誤差信号 V_e を

増幅したものになるため、 V_{out} は

$$V_{out} = AV_e = A(V_{in} - V_{out}) \quad (2-1)$$

と表される。ここで、 A はオペアンプの増幅度を表している。(2-1)式から誤差信号 V_e は

$$V_e = \frac{V_{out}}{A} \quad (2-2)$$

となり、一般的にオペアンプの増幅度 A は 10000 倍程度と非常に大きいことから、 $V_e \approx 0$ と

考えることができる。したがって、負帰還回路においてオペアンプでは、入力信号と帰還信

号が短絡されたような状態となる。

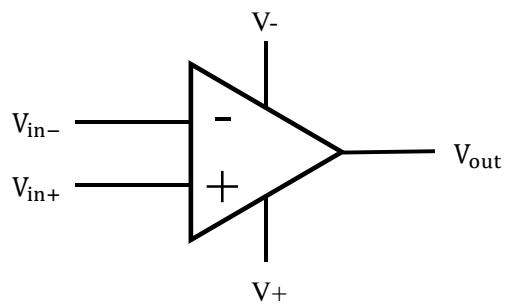


図 8 オペアンプの回路記号

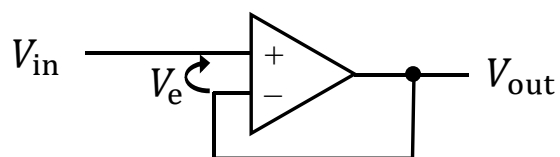


図 9 オペアンプによる負帰還回路

3.2. 代表的な回路

3.2.1. 反転増幅回路

反転増幅回路はオペアンプと2つの抵抗で構成された増幅回路である。反転増幅回路の

回路図を図10に示す。 R_1 と R_2 に流れる電流をそれぞれ I_1, I_2 とすると、 I_1, I_2 は

$$I_1 = \frac{V_{in}}{R_1} \quad (2-3)$$

$$I_2 = -\frac{V_{out}}{R_2} \quad (2-4)$$

と表される。ここで V_{in}, V_{out} は回路の入出力電圧を表している。 I_2 の値が負となるのは、回路が負帰還となっており、イマジナリーショートが成り立つことから、反転入力端子の電位が0Vとなるためである。オペアンプの入力端子が高入力インピーダンスであることから、オペアンプに電流が流入しないと考えると、キルヒホッフの第一法則より $I_1 = I_2$ とすることができ、回路の増幅度は

$$V_{out} = -\frac{R_2}{R_1} V_{in} \quad (2-5)$$

となる。(2-5)式から反転増幅回路の増幅度は R_1, R_2 の抵抗の比によって決まり、入力と逆の極性の信号が出力されることが分かる。

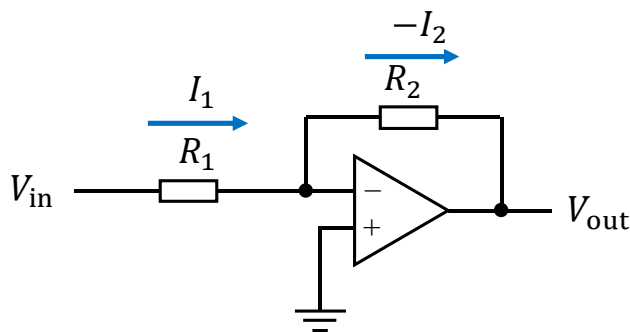


図10 反転増幅回路

3.2.2. 非反転増幅回路

非反転増幅回路の回路図を図 11 に示す。非反転増幅回路は反転増幅とは違い、入力信号を増幅し、入力と同じ極性の信号を出力する回路である。オペアンプの 2 つの入力端子の電圧値をそれぞれ、 V_+ 、 V_- とすると、回路が負帰還となっておりイマジナリーショートが成り立つことから、 $V_+ = V_-$ が成り立つ。また、オペアンプは高入力インピーダンスであることから、オペアンプに電流が流入しないと考えると V_- は、出力電圧 V_{out} を R_1 と R_2 で分圧した値となるため

$$V_- = \frac{R_1}{R_1 + R_2} V_{out} \quad (2-6)$$

と表される。また、 V_+ は入力電圧 V_{in} と同電位であるため、 $V_+ = V_{in}$ が成り立つ。以上のことから出力電圧 V_{out} は

$$V_{out} = \left(1 + \frac{R_2}{R_1}\right) V_{in} \quad (2-7)$$

となり、非反転増幅回路の増幅度は R_1 と R_2 の抵抗比で決まり、入力信号と極性の同じ信号が出力されることが分かる。

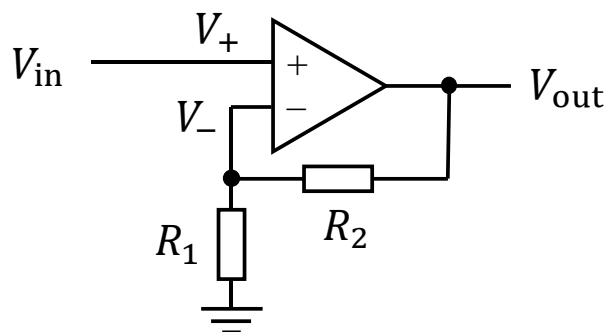


図 11 非反転増幅回路

3.2.3. 反転加算回路

加算回路の回路図を図 12 に示す。加算回路は 2 つ以上の入力信号を足し合わせた信号を出力する回路である。ここでは入力が 2 つの加算回路を取り上げて動作原理を説明する。各抵抗に流れる電流を I_1, I_2, I_3 とすると I_1, I_2, I_3 はそれぞれ

$$I_1 = \frac{V_{in1}}{R_1} \quad (2-8)$$

$$I_2 = \frac{V_{in2}}{R_2} \quad (2-9)$$

$$I_3 = -\frac{V_{out}}{R_3} \quad (2-10)$$

と表される。反転増幅回路と同様の理由から I_3 の値は負となる。オペアンプの入力端子が高入力インピーダンスであることから、オペアンプに電流が流入しないと考えると、キルヒホッフの第一法則より $I_1 + I_2 = I_3$ とすることができ、回路の出力は

$$V_{out} = -\left(\frac{R_3}{R_1}V_{in1} + \frac{R_3}{R_2}V_{in2}\right) \quad (2-11)$$

となる。ここで $R_1 = R_2$ とすると (3-7) 式は

$$V_{out} = -\frac{R_3}{R_1}(V_{in1} + V_{in2}) \quad (2-12)$$

となり、加算回路は 2 つの入力を足し合わせた逆の極性の信号が出力することが分かる。

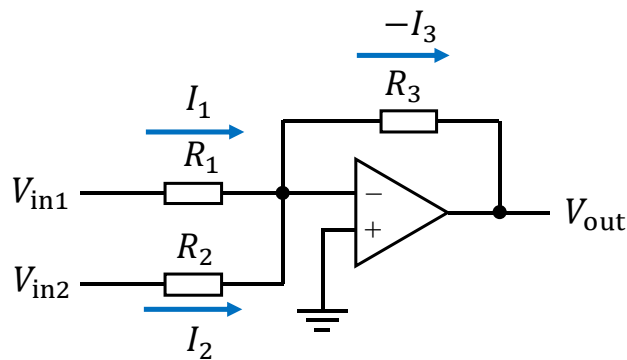


図 12 加算回路
13

第3章 理論

1. 雑音の低減手法

1.1. 低雑音回路内の素子の特徴と構成

低雑音の増幅回路を開発するにあたって回路素子の選定を行った。ここでは特に回路に用いた、オペアンプの特徴と回路構成について述べる。

低雑音回路の作成には、回路を低雑音の素子で構成する必要がある。また、一般的に増幅回路は利得帯域幅積(GBW)が大きい方が性能が高いとされている。利得帯域幅積とは電圧利得と周波数の積のことであり、この値が大きいと高い周波数帯域においても利得がある程度の大きさに保つことができる。特に小信号の測定では高い周波数帯域において利得が小さいと測定対象の信号が増幅されず、雑音に測定対象の信号が埋もれやすくなってしまふ。そのため、低雑音の増幅回路には、低雑音かつ利得帯域幅積の大きいオペアンプを選定する必要があるといえる。

しかし、1つのオペアンプで大きな利得帯域幅積を得るには限界があり、増幅段を2段で構成する場合が多い。2段にすることで各周波数帯域での利得が2つのオペアンプの利得を合わせたものとなり、より広い帯域で高い利得を維持できる。

ただし、低雑音増幅回路の開発において増幅段を2段以上にする場合には「初段の雑音を小さくすること」が必要である[5]。ここでシステムのノイズ性能を示す指標である雑音指数を用いて「初段の雑音を小さくすること」が重要になる理由を説明する。図13に信号を増幅するシステムの略式図を示す。

雑音指数 NF は

$$NF = \frac{V_{no}}{V_{ns}} \quad (3-1)$$

で表される。ここで、 V_{ns} は入力信号に含まれる雑音の大きさ、 V_{no} は出力される雑音の大きさを表している。次に、このシステムを3段つなげることを考える。図14に3段つなげた場合のシステム概略図を示す。3段つなげた場合の出力雑音 V_{no} は発生した雑音がそれぞれ増幅され、(1-2)式によって足し合わされることから

$$V_{no} = (G_1 G_2 G_3)^2 V_{ns}^2 + (G_1 G_2 G_3)^2 V_{n1}^2 + (G_2 G_3)^2 V_{n2}^2 + G_3^2 V_{n3}^2 \quad (3-2)$$

と表される。ここで、 V_{ns} は入力信号に含まれる雑音の大きさ、 $G_1 G_2 G_3$ は各増幅段における利得、 V_{n1}, V_{n2}, V_{n3} は各増幅段で発生する雑音の大きさを表している。このことから、システム全体の雑音指数 NF_{all} は

$$NF_{all} = \frac{(G_1 G_2 G_3)^2 V_{ns}^2 + (G_1 G_2 G_3)^2 V_{n1}^2 + (G_2 G_3)^2 V_{n2}^2 + G_3^2 V_{n3}^2}{(G_1 G_2 G_3)^2 V_{ns}^2} \quad (3-3)$$

となる。(3-3)式から2段目以降の雑音指数は前段までの利得で割られた値になることが分かる。そのため、2段目以降の雑音指数は初段の雑音指数に比べ小さくなり、初段の雑音指数が支配的になり、「初段の雑音を小さくすること」が重要となる。

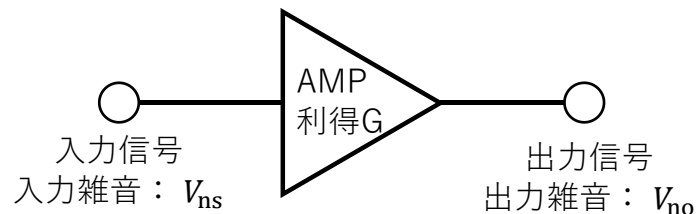


図13 増幅システムの略式図

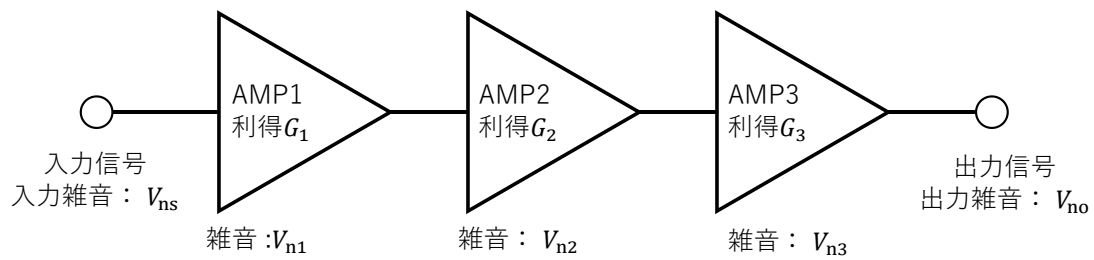


図 14 3つ接続した場合のシステム概略図

1.2. オペアンプの並列化

オペアンプによる増幅回路の雑音の低減手法の一つにオペアンプの並列化がある。並列化前の回路を図 15 に、並列化後の回路を図 16 に示す。並列化前の回路の増幅度は $\frac{R_2}{R_1} \cdot \frac{R_4}{R_3}$ で計算される。対して、並列化後の回路の並列段数 n における増幅度は $n \cdot \frac{R_6}{R_5} \cdot \frac{R_8}{R_7}$ で計算され、2つの回路の増幅度を等しくする場合に R_6 の大きさを R_2 の n 分の 1 にすることができる。2種類以上の相関のない雑音の足し合わせは(1-2)式によって計算されることから、それぞれの回路における入力換算ノイズの大きさは、並列化前が $n \cdot V_n$ となるのに対し、並列化後は $\sqrt{n} \cdot V_n$ と表すことができる[6]。ここで V_n は図 16 の枠線部分から発生する雑音の大きさを表している。並列化前と並列化後の入力換算ノイズを比較すると、並列化後には入力換算ノイズの大きさが $\frac{1}{\sqrt{n}}$ になっており、回路内部から発生する雑音を低減できると考えられる。

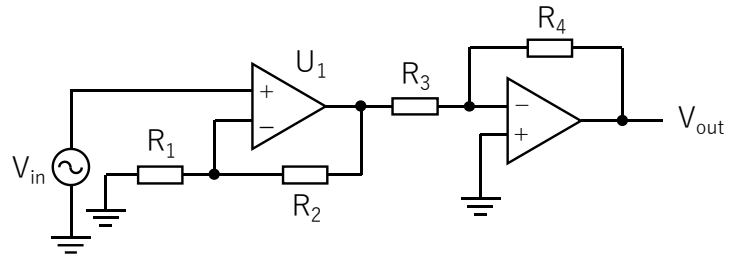


図 15 並列化前の回路

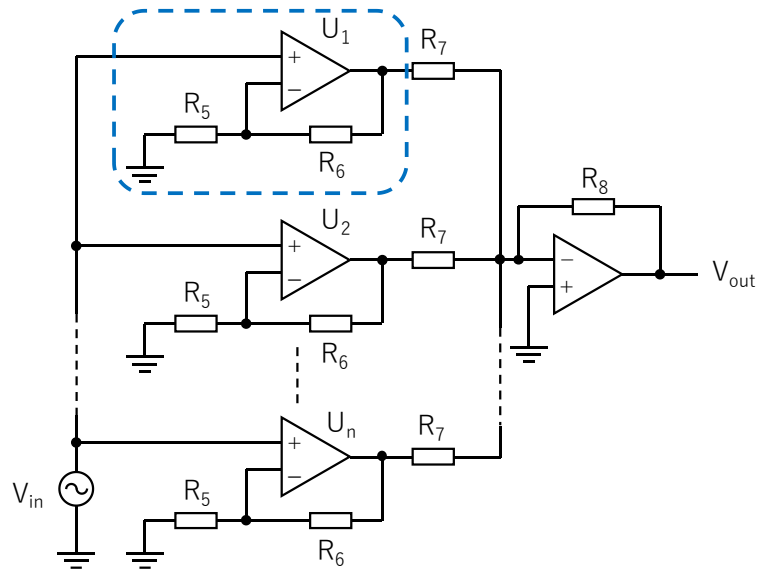


図 16 並列化後の回路

2.測定限界

開発した回路の評価を行うにあたって、測定限界を定めた。まず、測定値から回路の内部雑音を次の(3-4)式を用いて減算した。

$$V_{N1} = \sqrt{V_{N1+N2}^2 - V_{N2}^2} \quad (3-4)$$

(3-4)式は雑音の足し合わせの式を変形したものである。この減算によって測定値から熱雑

音のみの大きさを求める。次に求めた熱雑音の大きさと回路の内部雑音の大きさが等しく

なるところ、つまり測定値の SN 比が 0dB となるところの抵抗値を回路の測定限界とした。

本研究ではこの測定限界が 50Ω となるような回路の開発を目指した。

第 4 章 実験

1. 実験装置

本研究で使用した機器および開発した回路の構成について述べる

1.1. 実験機器

表 1 に本実験での使用したオペアンプと JFET 及び雑音の測定に用いたデジタルマルチメータの概要を示す。

表 1 使用機器

名称	型番	仕様	メーカー
オペアンプ	LT1028	電圧ノイズ : $0.85\text{nV}/\sqrt{\text{Hz}}$ 利得帯域幅積 : 50MHz	Linear Technology
JFET	BF256B	ドレイン・ソース電圧 (V_{DSS}) : 30V ゲート・ソース電圧 (V_{GSS}) : -30V ゼロゲート電圧時ドレイン電流 (I_{DSS}) : 13mA	On Semiconductor
デジタル マルチメータ	PC700	測定可能周波数範囲 : 15.00Hz~50.00kHz 最小分解能 : 0.01mV 帯域幅 : 30kHz 入力インピーダンス : 10MΩ 最高精度 : 0.06%	三和電気計器

1.2. 回路構成

抵抗の熱雑音をデジタルマルチメータで測定可能な 0.1mVrms 以上まで増幅するために 2 種類の回路を開発した。増幅回路①を図 17 に、増幅回路②を図 18 に示す。増幅回路①は Q1、U1、U2 を用いた合計 3 段の増幅回路で構成されており、抵抗とコンデンサを用いた、複数のハイパス・ローパスフィルタによって回路の帯域幅の設定を行っている。増幅回路②は、増幅回路①の 2 段目までを並列化することで加算回路としたものである。これにより、オペアンプの並列化による回路の内部から発生する雑音の低減が期待できる。それぞれの回路の FET には JFET を用いている。JFET はゲートソース間に電圧を印加しなくても動作するため、測定対象の抵抗に電圧を印加した際に発生する熱雑音以外の雑音の発生を防ぐ役割がある。

これらの回路の R_{ut} 端子間に測定対象の抵抗を入れることで熱雑音の測定を行い、端子間を短絡することで回路の内部から発生する雑音の測定を行う。測定にはデジタルマルチメータを用いた。

本研究では、増幅回路の並列段数を 1 (並列なし) ~ 5 段に変化させ、並列段数ごとに抵抗の熱雑音と回路の内部から発生する雑音を測定した。各回路における入力信号の周波数が 2kHz の時の増幅度と帯域幅は、 $716\sim 722$ 倍、 $24\sim 26\text{kHz}$ とし、ほぼ同じとなるように設計した。

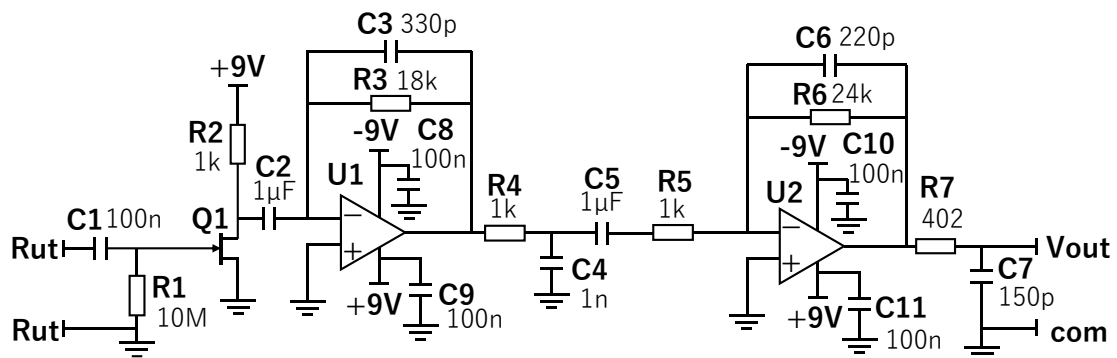


图 17 增幅回路①

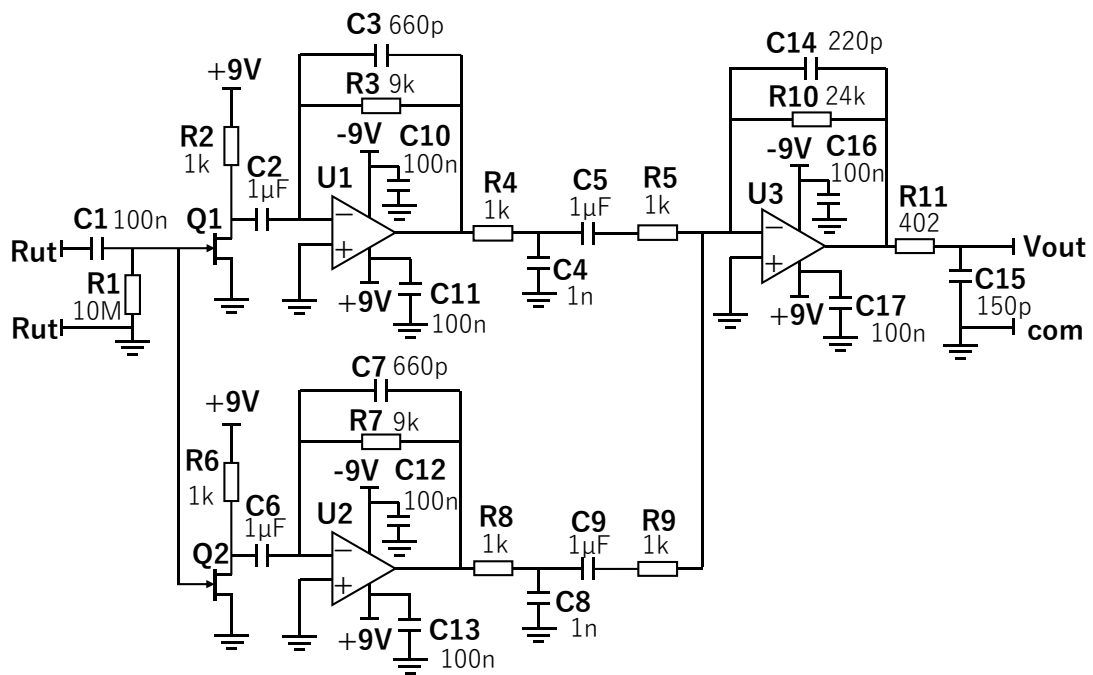


图 18 增幅回路②

2. 雑音の測定

2.1. 回路内部から発生する雑音の測定

回路の内部雑音の並列段数による変化を図 19 に示す。図 19 からシミュレーション結果と実測値ともに、並列段数が増えるにしたがって、回路内部の雑音が小さくなっていることが分かる。シミュレーションでは各並列段数における回路内部の雑音の大きさが、並列なしで 0.23mV、2 段で 0.16mV、3 段で 0.14mV、4 段で 0.12mV、5 段で 0.11mV となった。このことから、雑音の大きさが並列段数のおよそ平方根分の 1 に低減されることが確認できた。

回路の内部雑音の実測値がシミュレーション結果を下回る結果となったが、シミュレーション値との差は最大でも 0.03mV と小さい範囲に収まっており、シミュレーションと作成した回路の帯域幅や増幅度のわずかな違いが要因と考えられる。これらの結果から、並列段数を増やすことによる回路内部の雑音の低減効果が確認された。

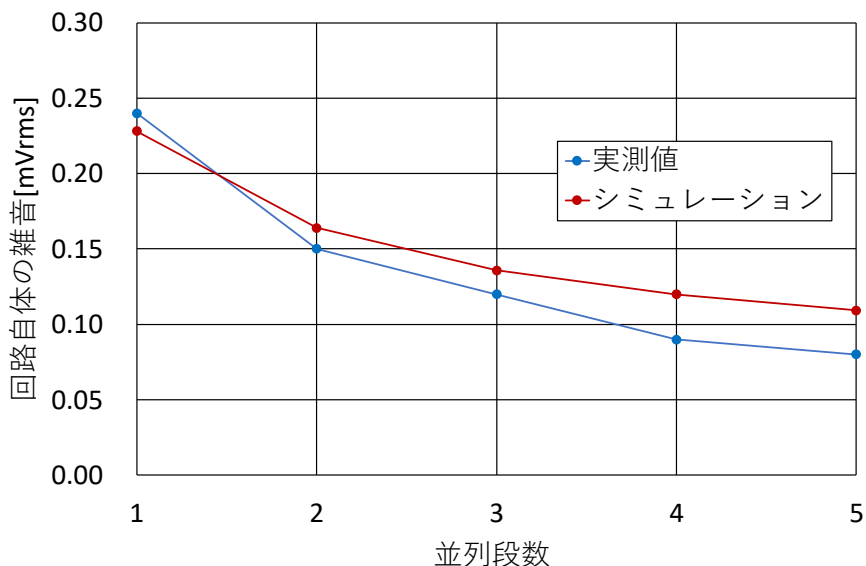


図 19 回路の内部雑音の並列段数による変化

2.2. 抵抗の熱雑音の測定

図 20 に熱雑音の測定結果を示す。図 20 に示されている $0\ \Omega$ 時の測定値は、回路内部から発生する雑音の大きさである。図 20 のマーカーが大きくなっている部分は、各並列段数における測定限界の点を表している。また、熱雑音理論値は回路内部から雑音が発生しない場合に測定されると考えられる熱雑音の大きさを表している。

熱雑音理論値と各並列段数における測定値との比較から、並列段数を増やすことで測定値に含まれる雑音の割合が小さくなっていることが分かる。この結果から各並列段数における測定限界を求めると、並列なしで $240\ \Omega$ 、2 段で $100\ \Omega$ 、3 段で $85\ \Omega$ 、4 段で $50\ \Omega$ 、5 段で $43\ \Omega$ となり、並列段数を増やすことによる測定限界の向上が確認された。目的としていた $50\ \Omega$ の抵抗の熱雑音の測定は並列段数を 4 段にすることで可能になった。

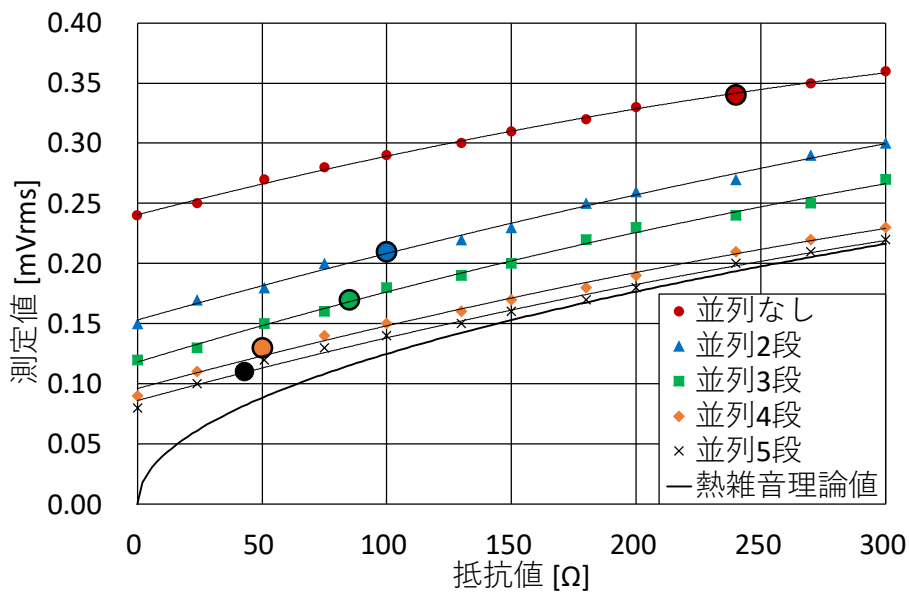


図 20 熱雑音測定結果

3. 並列段数による SN 比の変化

図 21 に各並列段数での 50Ω の熱雑音測定値における SN 比を示す。並列段数が増えるにしたがって SN 比が大きくなっていることが分かる。また、並列段数 4 段の時点で SN 比が 1 になっている。この結果から、並列段数を増やすことで出力信号に占める回路の内部雑音の割合が減り、SN 比を大きくできることが確認できた。

並列段数をさらに増やしていくことで 50Ω 以下のような小さい抵抗から発生する熱雑音の測定においても、測定値に含まれる雑音の割合を小さくできると考えられる。

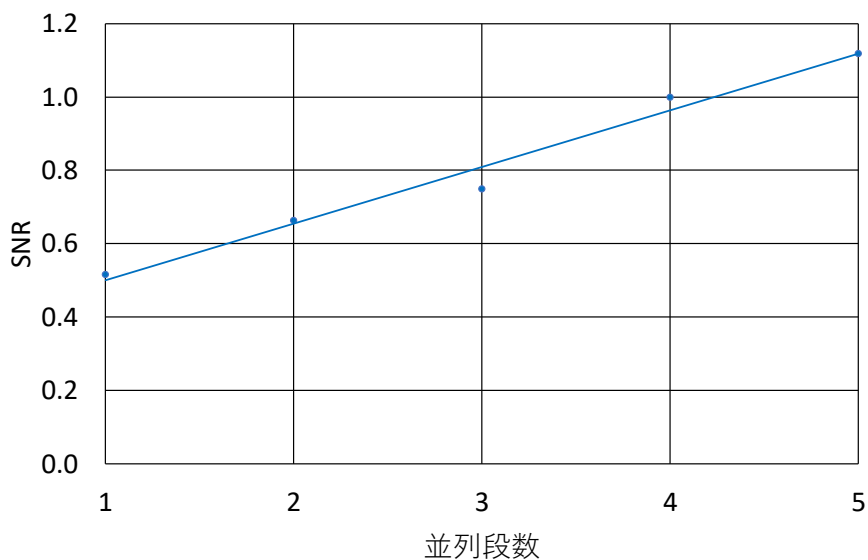


図 21 50Ω の熱雑音測定値における SN 比

第5章 まとめ及び考察

小信号測定用の低雑音増幅回路の開発を行うにあたり、小信号の一例として抵抗の熱雑音を扱った。本研究では $50\ \Omega$ の抵抗から発生する熱雑音(約 $1\text{nV}/\sqrt{\text{Hz}}$)の測定を目的として回路の開発を行った。

回路内部から発生する雑音の低減手法としてオペアンプの並列化を用いた増幅回路を開発し、並列段数を1~5段に変化させて回路内部から発生する雑音と抵抗の熱雑音の測定を行った。その結果、並列段数が増えるにしたがって雑音が低減され、並列段数を4段にすることで $50\ \Omega$ の抵抗から発生する熱雑音の測定が可能になった。

将来的には、本研究で扱った熱雑音以外の小信号の測定や回路雑音の評価などに応用することで、低雑音の増幅回路が必要とされる小信号測定の分野における測定限界の向上が期待される。

第6章 謝辞

本研究に際して、国立高等専門学校由井四海准教授に3年間にわたってご指導ならびに様々な経験をする機会を与えて頂きました。心より深く感謝申し上げます。

参考文献

[1]. Joe Geller, NUTS&VOLTS, 54-62, 2007.

[2]. ,Art Kay, Operational Amplifier Noise, 1-11, 2012

[3]. 柴田直.“半導体デバイス入門”. 数理工学社. 2014.

[4]. 篠田庄司,田丸雅夫,藤川孝.“電子回路”. コロナ社. 2013

[5]. 石井聡.“OP アンプの電流性・電圧性ノイズの良し悪しと回路のカスケード接続”. Analog Devices, inc. 2014.

[6] LINEAR TECHNOLOGY, LT1028 data sheet